

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-231944

(43)Date of publication of application : 16.08.2002

(51)Int.Cl.

H01L 29/78
H01L 29/744
H01L 29/74
H01L 21/337
H01L 29/808

(21)Application number : 2001-023788

(71)Applicant : SANKEN ELECTRIC CO LTD

(22)Date of filing : 31.01.2001

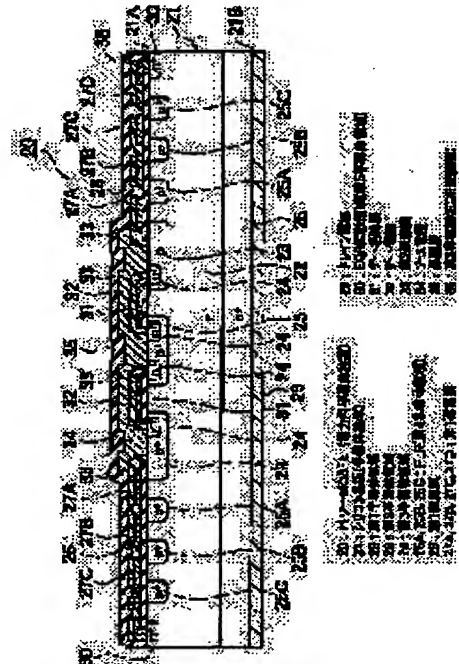
(72)Inventor : SATO TETSUO

(54) POWER SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a reliable power semiconductor device which is hardly influenced by movable ions or the like and can have a stabilized high breakdown voltage.

SOLUTION: A p-body region 23 is formed on one principal plane 21A of an n-type drift region 22, and an n-source region 24 is formed inside the body region 23, with the body region 23 surrounded by the drift region 22. P-type fourth semiconductor regions (FLR) 25A, 25B, and 25C are formed concentrically, being separated from each other, on the outside of the body region 23 at a distance from the body region 23. On the FLRs 25A, 25B, and 25C, first annular conductive films 27A, 27B, 27C, and 27D are formed via a first insulation film 26. The first conductive film suppresses the movement of movable ions in the insulation film such as the first insulation film 26, preventing the influence of the movable ions on a depletion layer extended in the drift region between the FLRs 25A, 25B, and 25C.



LEGAL STATUS

[Date of request for examination] 31.01.2001

[Date of sending the examiner's decision of rejection] 05.08.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-231944

(P2002-231944A)

(43) 公開日 平成14年8月16日 (2002.8.16)

(51) IntCl ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 29/78	6 5 2	H 0 1 L 29/78	6 5 2 P 5 F 0 0 5
			6 5 2 K 5 F 1 0 2
			6 5 2 L
			6 5 2 S
			6 5 2 T

審査請求 有 請求項の数 9 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2001-23788(P2001-23788)

(22) 出願日 平成13年1月31日 (2001.1.31)

(71) 出願人 000106276

サンケン電気株式会社

埼玉県新座市北野3丁目6番3号

(72) 発明者 佐藤 哲男

埼玉県新座市北野3丁目6番3号 サンケ

ン電気株式会社内

(74) 代理人 100083806

弁理士 三好 秀和 (外8名)

Fターム (参考) 5F005 AE09 AF02

5F102 FA01 FB01 GB02 GC07 GD10

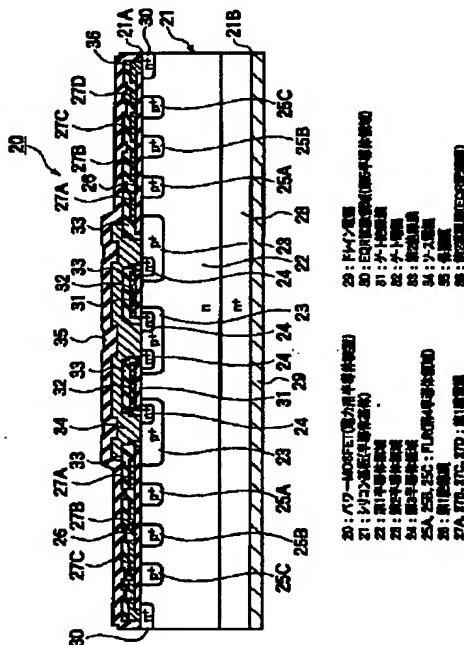
GJ02 GJ03

(54) 【発明の名称】 電力用半導体装置

(57) 【要約】

【課題】 可動イオンなどの影響を受け難く、耐圧が安定して得られる信頼性の高い電力用半導体装置を提供する。

【解決手段】 n型ドリフト領域22の一方の主面21A側にp型のボディ領域23、このボディ領域23の内側にn型ソース領域24を形成し、ボディ領域23をドリフト領域22で包囲し、ボディ領域23の外側を離間して取り囲むp型第4半導体領域 (FLR) 25A, 25B, 25Cを互いに離間させて同心状に形成する。これらFLR 25A, 25B, 25Cの上に第1絶縁膜26を介して第1導電膜27A, 27B, 27C, 27Dを環状に形成する。第1導電膜は第1絶縁膜26等の絶縁膜中の可動イオンの移動を抑制し、FLR 25A, 25B, 25Cのそれぞれの間のドリフト領域22に広がる空乏層へ可動イオンが影響を与えるのを防止する。



【特許請求の範囲】

【請求項1】 第1導電型の第1半導体領域と、前記第1半導体領域の一方の主面側において前記第1半導体領域の内部に配置された第2導電型の第2半導体領域及び前記第1導電型の第3半導体領域と、前記一方の主面側において前記第2及び第3半導体領域を包囲する環状をなして配置された前記第2導電型の第4半導体領域と、前記一方の主面の上に形成された絶縁膜と、前記第2半導体領域から前記第4半導体領域に亙る領域において、前記絶縁膜の上部に配置された第1導電膜とを備えることを特徴とする電力用半導体装置。

【請求項2】 前記一方の主面において、前記第4半導体領域の外周側に前記第4半導体領域を包囲する環状で配置された第1導電型の第5半導体領域と、前記絶縁膜の上部に配置され、前記絶縁膜の開口部において前記第5半導体領域に接続される第2導電膜とを更に有することを特徴とする請求項1記載の電力用半導体装置。

【請求項3】 前記第4半導体領域は、互いに離間する複数の同心環として配置されていることを特徴とする請求項1又2記載の電力用半導体装置。

【請求項4】 前記複数の同心環の間に位置する前記第1半導体領域の上方に、前記第4半導体領域の上方で互いに空間的に分離した複数の第1導電膜が配置されていることを特徴とする請求項3記載の電力用半導体装置。

【請求項5】 前記複数の第1導電膜が電気的に接続されていることを特徴とする請求項4記載の電力用半導体装置。

【請求項6】 前記第1導電膜はフローティング状態で用いられることを特徴とする請求項1～5のいずれか1項記載の電力用半導体装置。

【請求項7】 前記第3半導体領域は前記第2半導体領域の内部に配置された第1主電極領域であり、前記一方の主面と対向する前記第1半導体領域の他方の主面に、第2主電極領域となる第6半導体領域が更に配置されていることを特徴とする請求項1～6のいずれか1項記載の電力用半導体装置。

【請求項8】 前記第3半導体領域と前記第1半導体領域の間の前記第2半導体領域の表面に配置されたゲート絶縁膜と、該ゲート絶縁膜の上部のゲート電極とを更に有することを特徴とする請求項7記載の電力用半導体装置。

【請求項9】 前記第2半導体領域は、互いに対向した対として複数個配置され、前記第3半導体領域は、前記対をなす前記第2半導体領域の間に配置されていることを特徴とする請求項1～6のいずれか1項記載の電力用半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電力用半導体装置に係り、特に高耐圧の電力用半導体装置の接合終端技術に関する。

【0002】

05 【従来の技術】従来、図4に示すような電力用絶縁ゲート型電界効果トランジスタ1が知られている。この従来の電力用絶縁ゲート型電界効果トランジスタ（以下、「従来の電界効果トランジスタ」という。）1は、例えばシリコンからなる半導体基板の一方の主面に、順次、高不純物密度のn型半導体領域（ドレイン領域）2、n型半導体領域（ドリフト領域）3、複数の高不純物密度のp型半導体領域（ボディ領域）4、この複数のボディ領域4の内部に形成された高不純物密度のn型半導体領域（ソース領域）5とを備えて構成されている。更に、ドレイン領域2に接して形成されたドレイン電極6、ボディ領域4の表面に接して形成されたゲート絶縁膜7、ゲート絶縁膜7の上部のゲート電極8、ソース領域5の表面に接して形成されたソース電極9とを備えている。

15 【0003】加えて、このような従来の電界効果トランジスタ1では、平面的に見て、複数のボディ領域4を包囲するようにフィールド・リミテッド・リング（FLR）10が環状に形成されている。又、これらFLR10の最も外側のFLR10の外側には、高不純物密度のn型半導体領域11、このn型半導体領域11に接続された金属膜12とから構成される等電位リング（EQR）13が離間して環状に形成されている。

20 【0004】図4に示した従来の電界効果トランジスタ1はゲート電極8に正の電圧を印加しない場合は、OFFの状態である。複数のFLR10は、OFFの状態における耐圧を向上する目的で設けられている。即ち、ドレイン電極6とソース電極9との間にドレイン電極6側の電位を高くする電圧（逆バイアス電圧）を印加すれば、ボディ領域4とソース電極9とは短絡されているので、ボディ領域4とドリフト領域3との間のpn接合は、逆方向にバイアスされる。これに伴って、pn接合から主として不純物密度の低いドリフト領域3側に空乏層が広がる。更に、逆方向電圧を増加すれば、このpn接合から広がる空乏層が最内側のFLR10から最外側のFLR10へ向けて順次到達する。空乏層が、最内側のFLR10から外側のFLR10へ順次到達すれば、ボディ領域4と複数のFLR10とがあたかも一つのp型半導体領域とみなせるようになる。このため、最も電界集中の生じ易いボディ領域4のコーナ部分（曲部分）がこのp型半導体領域の中央側に位置するのと同様となり、ボディ領域4のコーナ部分の電界集中が緩和される。

40 【0005】なお、FLR10のコーナ部分はボディ領域4のコーナ部分に比較して曲率の大きい、FLR10の外周側での電界はボディ領域4のコーナ部分よりも小さいので、FLR10同士の間隔などを適切に設定す

ることにより、FLR10の外周部での電界集中は良好に防止出来る。したがって、逆方向のバイアス電圧を降伏が生じる程に増加すれば、ボディ領域4のコーナ部分で電圧降伏が生じるが、その電圧値はFLR10を形成しない構造に比較して高くすることが出来る。

【0006】

【発明が解決しようとする課題】しかしながら、図4に示した従来の電界効果トランジスタ1においては、FLR10の上面（シリコン基板の他方の主面側）を覆うフィールド絶縁膜7Aや、このフィールド絶縁膜7Aを覆う層間絶縁膜（若しくはパッシベーション膜）14や、更にこの層間絶縁膜14を覆う図示しない樹脂封止体には多数の可動イオンが含まれており、この可動イオンの影響を受けるという問題点がある。

【0007】即ち、可動イオンは、電力用半導体装置の動作に伴う電位分布や周囲温度などの影響を受けてフィールド絶縁膜7A、層間絶縁膜14などの中を移動する。ここで、負の可動イオンがFLR10の上面を覆うフィールド絶縁膜7A、層間絶縁膜14や樹脂封止体などに蓄積されると、複数のFLR10の間に形成されているドリフト領域3は、この負の可動イオンの影響を受けてその表面のキャリア密度が低下する。これに伴い、ドリフト領域3とボディ領域4との界面に形成されたpn接合から延びる空乏層が広がり易くなるため、相対的に低い逆方向バイアス電圧によって空乏層がより外側のFLR10にまで広がり、結果として耐圧が低下する。場合によっては、ドリフト領域3の表面には、この負の可動イオンの影響を受けてp型チャネルが形成され、FLR10相互間及びFLR10とボディ領域4との間にリーク電流が流れる。このように、空乏層の広がりや可動イオンの影響を受けるため、可動イオンの移動、分布によって電力用半導体装置の耐圧に変動を来すこととなる。このような問題は、従来の電界効果トランジスタ1に限られず、FLRを備えた従来のパワーバイポーラトランジスタ、パワーダイオードなどの種々の電力用半導体装置において同様に生じるものであり、改善が望まれている。

【0008】本発明は上記課題を解決するためになされたものである。そこで、本発明の目的は、可動イオンなどの影響を受け難く、耐圧が安定して得られる信頼性の高い電力用半導体装置を提供することにある。

【0009】本発明の他の目的は、環境温度、動作温度、動作電圧等により耐圧に影響を受けず、経時変化も少ない信頼性の高い電力用半導体装置を提供することにある。

【0010】

【課題を解決するための手段】上記課題を解決するために、本発明の特徴は、第1導電型の第1半導体領域、この第1半導体領域の一方の主面側において第1半導体領域の内部に配置された第2導電型の第2半導体領域及び

第1導電型の第3半導体領域、一方の主面側において第2及び第3半導体領域を包囲する環状をなして配置された第2導電型の第4半導体領域、一方の主面の上に形成された絶縁膜及びこの絶縁膜の上部に配置された第1導電膜とからなる電力用半導体装置としたことを要旨とする。但し、「第1導電膜」は、第2半導体領域から第4半導体領域に亙る領域において絶縁膜の上部に配置されている。第4半導体領域は、冒頭で述べた「FLR」に相当する。本発明の「電力用半導体装置」とは耐圧50Vクラス、600Vクラス、800Vクラス、1.2kVクラス、4kVクラス、10kVクラス等の種々のデバイスが含まれる。なお、「環状」とは、完全な連続した（閉じた）リングである必要性は常に要求されず、一定の場合はキャリアの拡散長以下の微細な空隙を介して連続したリングでもかまわない。キャリアの拡散長以下の空隙であれば、その空隙で空乏層はピンチオフしているので、空乏層の広がりには大きな影響を与えないからである。

【0011】本発明の特徴に係る電力用半導体装置において、第1半導体領域と第2半導体領域とのなすpn接合において逆バイアスとなる極性の電圧を印加するとpn接合から空乏層が広がる。第1半導体領域の不純物密度を第2半導体領域の不純物密度に比して十分低くしておけば、空乏層は主に第1半導体領域側に広がる。次第にこの逆バイアス電圧を増大させると、このpn接合界面から広がる空乏層は環状の第4半導体領域へ向けて広がり、第4半導体領域に到達する。これにより、第2半導体領域のコーナ部分（曲部分）の電界集中が緩和されて、電力用半導体装置の耐圧（逆方向阻止耐圧）を向上することが出来る。このとき、絶縁膜に含まれる可動イオンの影響は、絶縁膜の上に形成された第1導電膜によって緩和されている。即ち、可動イオンは、電力用半導体装置の動作に伴う電位分布や周囲温度の影響を受けて絶縁膜中を移動するが、第1半導体領域の上方に形成された第1導電膜が、所謂「等電位リング」として機能して、可動イオンの移動を抑制する。この結果、絶縁膜に含まれる可動イオンの空乏層に及ぼす影響が防止される。このため、第4半導体領域近傍の第1半導体領域では、可動イオンの移動の影響を受けてその表面のキャリア密度が変化することが防止される。このように、第1導電膜を形成したことにより、pn接合から延びる空乏層の広がりが絶縁膜に含まれる可動イオンの移動の影響を受けずに一定となって接合耐圧に変動が発生するのを防止出来る。このため、本発明の特徴に係る電力用半導体装置は、環境温度、動作温度、動作電圧等により耐圧に影響を受けず、経時変化も少なくなる。したがって信頼性の高い電力用半導体装置を実現することが出来る。

【0012】本発明に係る電力用半導体装置において、一方の主面において、第4半導体領域の外周側に第4半導体領域を包囲する環状で配置された第1導電型の第5

半導体領域、絶縁膜の上部に配置され、絶縁膜の開口部において第5半導体領域に接続される第2導電膜とを更に有することが好ましい。

【0013】本発明に係る電力用半導体装置において、第4半導体領域は、互いに離間する複数の同心環として配置されていることが好ましい。「同心環」は円形である必要はなく、矩形や多角形の同心環でかまわない。このように複数の第4半導体領域を互いに離間する同心環状に配置することにより、pn接合から広がる空乏層が隣り合う第4半導体領域同士の間形成された第1半導体領域を順次埋めるように広がるため、より電界集中を緩和することが出来る。この場合、複数の同心環の間に位置する第1半導体領域の上方に、第4半導体領域の上方で互いに空間的に分離した複数の第1導電膜が配置することが好ましい。丁度、隣接する2つの第4半導体領域をソース/ドレイン領域としたMOSFETのゲート電極に、それぞれの第1導電膜が相当する。複数の第1導電膜は、平面パターンとして空間的に分離しているが、電気的には互いに接続し、同一電位に構成しても良い。

【0014】この第1導電膜は、電気的にフローティング（浮遊）状態で用いられ、回路構成を複雑化しないで、絶縁膜に含まれる可動イオンの移動の影響を受けて第1半導体領域の表面のキャリア密度が変化することを防止出来る。又、回路構成が複雑になる欠点はあるが、第1導電膜に一定のバイアスを印加する構成でも良い。この一定のバイアスは、絶縁膜中に存在する可動イオンの極性及び第1半導体領域の導電型を考慮して決定すれば良い。このように、極性を考慮して第1導電膜に一定のバイアスを印加すればより有効に、第1半導体領域の表面のキャリア密度が絶縁膜に含まれる可動イオンの移動の影響を受けるのを防止出来る。

【0015】本発明に係る電力用半導体装置において、第3半導体領域を第2半導体領域の内部に配置された第1主電極領域とし、一方の主面と対向する第1半導体領域の他方の主面に第2主電極領域となる第6半導体領域を更に配置すれば、絶縁ゲート型バイポーラトランジスタ（IGBT）、電力用絶縁ゲート型電界効果トランジスタ（パワーIGFET）、電力用絶縁ゲート型静電誘導トランジスタ（パワーIGSIT）、電力用バイポーラトランジスタ（パワーBJT）、GTOサイリスタ等の電力用半導体装置が構成出来る。第3半導体領域は、すべての第2半導体領域の内部に配置されている必要はない。例えば、複数の第2半導体領域が島状に配置されている場合で、一番外側に位置する第2半導体領域の内部の第3半導体領域を省略しても良い。パワーFETの場合は第6半導体領域は第1導電型であり、IGBT、パワーBJT及びGTOサイリスタでは第6半導体領域は第2導電型である。ここで、「第1主電極領域」とは、IGBT及びパワーBJTにおいてエミッタ領域

又はコレクタ領域のいずれか一方、パワーIGFET及びパワーIGSITにおいてはソース領域又はドレイン領域のいずれか一方、GTOサイリスタにおいてはアノード領域又はカソード領域のいずれか一方となる半導体領域を意味する。そして、「第2主電極領域」とは、IGBTにおいては上記第1主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方、パワーIGFET及びパワーIGSITにおいては上記第1主電極領域とはならないソース領域又はドレイン領域のいずれか一方、GTOサイリスタにおいては上記第1主電極領域とはならないアノード領域又はカソード領域のいずれか一方となる半導体領域を意味する。なお、IGBT、パワーIGFET及びパワーIGSITにおいては、第2半導体領域はボディ領域として機能する。そして、第3半導体領域と第1半導体領域の間の第2半導体領域（ボディ領域）の表面にはゲート絶縁膜が配置され、このゲート絶縁膜の上部にはゲート電極が更に備えられていることは勿論である。パワーIGSITは、パワーIGFETの短チャネル化極限にあるトランジスタと解することが出来る。即ち、パワーIGFETのソース領域/ドレイン領域間がパンチング・スルーする程度に短チャネル化され、しかもチャネル中にドレイン電圧及びゲート電圧で制御可能な電位障壁が存在するデバイスであると定義出来る。具体的には、ソース・ドレイン間ポテンシャルと、ゲート電圧によるチャネル中のポテンシャルの2次元空間における鞍点であるポテンシャルの高さがドレイン電圧及びゲート電圧で制御される電力用半導体装置である。したがって、パワーIGSITの電流・電圧特性は真空管の三極管特性と同様な指数関数則に従った特性を示す。パワーBJT及びGTOサイリスタでは第2半導体領域はベース領域になる。

【0016】一方、本発明に係る電力用半導体装置において、第2半導体領域を互に対向した対として複数個配置し、第3半導体領域をこの対をなす第2半導体領域の間に配置して第1主電極領域とし、一方の主面と対向する第1半導体領域の他方の主面に第2主電極領域となる第6半導体領域を更に配置すれば、電力用接合ゲート型電界効果トランジスタ（パワーJFET）、電力用接合ゲート型静電誘導トランジスタ（パワーJSIT）、静電誘導サイリスタ（SIサイリスタ）等の電力用半導体装置が構成出来る。パワーJFET及びパワーJSITの場合は第6半導体領域は第1導電型であり、SIサイリスタでは第6半導体領域は第2導電型である。ここで、「第1主電極領域」とは、パワーJFET及びパワーJSITにおいてはソース領域又はドレイン領域のいずれか一方、SIサイリスタにおいてはアノード領域又はカソード領域のいずれか一方を意味する。「第2主電極領域」とは、パワーJFET及びパワーJSITにおいては上記第1主電極領域とはならないソース領域又はドレイン領域のいずれか一方、SIサイリスタにおいて

は上記第1主電極領域とはならないアノード領域又はカソード領域のいずれか一方を意味する。パワーJ S I Tは、パワーJ F E Tの短チャネル化極限にあるトランジスタと解することが出来る。第2半導体領域は、パワーJ F E T、パワーJ S I T及びS Iサイリスタのゲート領域となる。

【0017】

【発明の実施の形態】次に、図面を参照して、本発明の実施の形態に係る電力用半導体装置について説明する。但し、図面は模式的なものであり、各層の厚みや厚みの比率などは現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0018】本発明の実施の形態に係る電力用絶縁ゲート型電界効果トランジスタ（以下、「パワーM O S F E T」という。）20は、図1に示すように第1導電型の第1半導体領域22、この第1半導体領域22の一方の主面側において第1半導体領域22の内部に配置された第2導電型の第2半導体領域23及び第1導電型の第3半導体領域24、一方の主面側において第2及び第3半導体領域24を包囲する環状をなして配置された第2導電型の第4半導体領域25A、25B、25C、一方の主面の上に形成された第1絶縁膜（フィールド絶縁膜）26及びこの第1絶縁膜26の上部に配置された第1導電膜27A、27B、27C、27Dとから構成されている。第1導電型と第2導電型とは互いに反対の導電型である。この実施の形態においては、第1導電型がn型で、第2導電型がp型であるが、全くこの逆でも良い。

【0019】第1半導体領域22は、母材としてのシリコン基板21の不純物密度（ $5 \times 10^{11} \text{ cm}^{-3} \sim 5 \times 10^{12} \text{ cm}^{-3}$ 程度）を有する比較的高比抵抗の半導体領域である。第1半導体領域22は、母材としてのシリコン基板（シリコンウエハ）21の基板厚に近い $150 \mu\text{m} \sim 600 \mu\text{m}$ の厚さを有し、半導体基体21を構成する主なる領域となっている。第1半導体領域22の不純物密度と厚さは、定格耐圧、スイッチング速度、オン抵抗等を考慮して決めれば良い。第1半導体領域22は、パワーM O S F E T 20のドリフト領域として機能する。

【0020】第2半導体領域23は、半導体基体21の一方の主面21Aの素子形成領域の中央に $2 \mu\text{m} \sim 15 \mu\text{m}$ の深さに形成され、第1半導体領域（ドリフト領域）22よりも高不純物密度、例えば $5 \times 10^{15} \text{ cm}^{-3} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度にドーピングされている。第2半導体領域23はパワーM O S F E T 20のボディ領域として機能する。第4半導体領域25A、25B、25Cも、ボディ領域23と同様に $2 \mu\text{m} \sim 15 \mu\text{m}$ の深さに、 $5 \times 10^{15} \text{ cm}^{-3} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度の不純物

域25A、25B、25Cは、ボディ領域23と同じ深さである必要はない。例えば、第4半導体領域25A、25B、25Cの拡散深さをチップの外周部に近づくに従い段階的に浅くすれば、全体としての実効的な曲率を小さく出来、より高耐圧化が可能となる。又、第4半導体領域25A、25B、25Cの不純物密度をチップの外周部に近づくに従い段階的に低濃度になるようにすることも、電界の緩和に有効であり、より高耐圧化が可能となる。第4半導体領域25A、25B、25Cは、図2に示すように、半導体基体21の一方の主面21Aに沿って、ボディ領域23から離間して、複数（この実施の形態では3本）の矩形の環状をなすように形成されている。

【0021】第3半導体領域24は、ボディ領域23の内部に配置された第1主電極領域（ソース領域）である。ソース領域24は、 $0.5 \mu\text{m} \sim 5 \mu\text{m}$ 程度の深さに形成され、その不純物密度は $2 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度である。ドリフト領域22の一方の主面と対向するドリフト領域22の他方の主面に第2主電極領域（ドレイン領域）となる第6半導体領域28が更に配置されている。ドレイン領域28は不純物密度 $2 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度の低比抵抗の半導体領域である。ドレイン領域28はシリコン基板21の他方の主面21B側から、ドナー不純物を、深さ $15 \mu\text{m} \sim 80 \mu\text{m}$ 程度の深さまでドーピングして形成した領域である。なお、このドレイン領域28はシリコン基板21の他方の主面21Bの上にエピタキシャル成長して形成しても良い。このドレイン領域28が形成された他方の主面21Bには、ドレイン領域28とオーミック接触するように金属薄膜からなるドレイン電極29が形成されている。

【0022】ソース領域24とドリフト領域22の間のボディ領域23の表面には、ゲート絶縁膜31が備えられ、このゲート絶縁膜31の上部にはゲート電極32が更に配置されている。

【0023】第1導電膜27A、27B、27C、27Dは、ボディ領域23から第4半導体領域25A、25B、25Cに亘る領域において第1絶縁膜26の上部に配置されている。第4半導体領域25A、25B、25Cは、パワーM O S F E T 20のF L Rとして機能する。F L R 25A、25B、25Cは、互いに離間する複数の同心環として配置されている。

【0024】更に、図1に示すように、ドリフト領域22の一方の主面において、F L R 25A、25B、25Cの外周側にF L R 25A、25B、25Cを包囲する環状で配置された第1導電型の第5半導体領域（以下、「E Q R拡散領域」という。）30が形成されている。E Q R拡散領域30は、ソース領域24と同様な深さ $0.5 \mu\text{m} \sim 5 \mu\text{m}$ 程度、不純物密度 $2 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度の半導体領域である。そして、

第1絶縁膜26の上部には第1絶縁膜26の開口部においてEQR拡散領域30に接続される第2導電膜(EQR配線膜)36が更に配置されている。

【0025】シリコン基板21の一方の主面21A側には、図2及び図3に示すように、素子形成領域の略中央に正方形を9分割してそれぞれを離間させた配置で、平面矩形状の9つのボディ領域23が形成されている。それぞれのボディ領域23は、シリコン基板21の一方の主面21Aを除いて周囲がドリフト領域22に包囲された構造となっており、ドリフト領域22との界面がpn接合となっている。

【0026】ソース領域24は、ボディ領域23の外周より所定距離だけ内側の位置に、ボディ領域23より浅く形成されている。換言すれば、ドリフト領域22とソース領域24の間にボディ領域23が介在された構造となっている。このように、ドリフト領域22、ソース領域24とで挟まれた領域のボディ領域23の表面近傍は、後述するようにパワーMOSFET20のチャネル形成領域となる。

【0027】図3において、9つのボディ領域23の内中央に位置するボディ領域の符号を23(C)とし、このボディ領域23(C)内に形成されるソース領域の符号を24(C)として示す。中央に位置するボディ領域23(C)において、図3に斜線で示すように、ソース領域24(C)はボディ領域23(C)の平面輪郭に沿って平面輪郭より所定寸法aだけ内側に矩形の環形状を描くように形成されている。なお、このソース領域24(C)の周回する環の帯幅は所定寸法bに設定されている。このため、シリコン基板21の一方の主面21Aにおいては、ソース領域24(C)の内側と外側とは、ボディ領域23が露呈している。

【0028】一方、中央のボディ領域23(C)の周辺に位置するボディ領域23内に形成されるソース領域24は、中央のボディ領域23(C)の四辺のそれぞれに対向する辺(平面輪郭)の所定寸法aだけ内側に沿って形成されると共に、中央のボディ領域23(C)を除く互いに隣接するボディ領域23同士の対向する辺(平面輪郭)より所定寸法aだけ内側に沿って形成されている。これらソース領域24の帯幅も所定寸法bになるように設定されている。この結果、中央のボディ領域23(c)を除くボディ領域23では、場所によって、平面L字形状のもの、平面コ字形状のものがある。

【0029】又、これらボディ領域23の群の外側には、図1及び図2に示すような、シリコン基板21の一方の主面21Aから所定深さまでアクセプタ不純物が高濃度にドーパされたFLR25A、25B、25Cが矩形の環状に形成されている。これらFLR25A、25B、25C同士は、互いに離間して同心状に配置されている。即ち、これらFLR25A、25B、25C同士の間には、ドリフト領域22が介在された構造となっ

ている。又、最も内側のFLR25Aとボディ領域23との間にも、ドリフト領域22が介在された構造となっている。なお、これらFLR25A、25B、25Cは、上述したボディ領域23と同一の不純物拡散工程で形成しても良く、ボディ領域23とは別個の拡散工程で形成しても良い。なお、この不純物拡散工程としては、一方の主面21Aに形成した酸化膜にフォトリソグラフィ技術及びエッチング技術を用いて所定の窓あけを行い、酸化膜の上からアクセプタ不純物であるボロン(B)などのドーパントを含む不純物添加薄膜、例えばボロンガラス(BSG)膜などを堆積させ、所定温度、所定時間での熱処理を施して選択拡散を行う。その後、不純物添加薄膜を除去すれば良い。

【0030】更に、図1及び図2に示すように、シリコン基板21の一方の主面21Aにおける、最も外側のFLR25Cの外側には、高不純物密度で所定深さのEQR拡散領域30が矩形の環状に形成されている。なお、このEQR拡散領域30は、上述したソース領域24と同一の不純物拡散工程で形成しても良く、ソース領域24とは別個の拡散工程で形成しても良い。このEQR拡散領域30の上面には、金属などの導電性材料からなるEQR配線膜36が電氣的に接続されている。なお、上記した不純物拡散工程としては、一方の主面21Aに形成した酸化膜にフォトリソグラフィ技術及びエッチング技術を用いて所定の窓あけを行い、その後、酸化膜の上からドナー不純物であるリン(P)、ヒ素(As)などのドーパントを含む不純物添加薄膜、例えばリンガラス(PSG)膜やヒ素ガラス(AsSG)膜を堆積させ、所定温度、所定時間での熱処理を施して選択拡散を行い、高不純物密度でn型の半導体領域を形成する。その後、不純物添加薄膜を除去する。なお、上記したような不純物添加薄膜を用いずに、オキシ塩化リン(POCl₃)などの液体ソースを用いた気相拡散法を行っても良い。又、³¹P⁺、⁷⁵As⁺などの不純物イオンをイオン注入法により、所定のドーズ量を注入し、その後所望の深さまでドライブイン(熱処理)を施しても良い。

【0031】又、シリコン基板21の一方の主面21A上に形成されたゲート絶縁膜31は、図1に示すように、互いに隣り合うボディ領域23同士の間に形成されたドリフト領域22の上面に配置されており、その外周側はチャネル形成領域(ボディ領域23)の上面を越えて、ソース領域24にまで至るように延伸されている。そして、ゲート絶縁膜31の上面には、例えば不純物を添加したポリシリコン(ドーパドポリシリコン)などの導電膜からなるゲート電極32が形成されている。ドーパドポリシリコンの代わりに、タングステン(W)、チタン(Ti)、モリブデン(Mo)等の高融点金属、これらのシリサイド(WSi₂、TiSi₂、MoSi₂)等、或いはこれらのシリサイドを用いたポリサイドでゲート電極32を構成しても良い。このゲート電極

32は、図3に一点鎖線で示すように、全てのボディ領域23におけるチャンネル形成領域（ボディ領域23）と互いに隣り合うボディ領域23、23間のドリフト領域22に対向するように一体的に形成されている。そして、ゲート電極32は、第2絶縁膜（層間絶縁膜）33で被覆されている。なお、図1においては、ゲート絶縁膜31の膜厚が均一に形成されているが、隣り合うボディ領域23、23間に形成されたドリフト領域22の上面に対応する部分のみ選択的に厚く形成しても良い。

【0032】第2絶縁膜33には、それぞれのボディ領域23の中央部分に対応させて開口（コンタクトホール）が形成されている。この開口を介してボディ領域23とソース領域24とには、例えばアルミニウム（Al）、若しくはアルミニウム合金（Al-Si, Al-Cu-Si）などの配線材料からなるソース電極34が電気的に接続されている。ソース電極34は、ボディ領域23とソース領域24とを短絡し、ボディ領域23をソース電極34の電位に維持する。このソース電極34は、第2絶縁膜33を介してゲート電極32と電気的に分離されている。このソース電極34の上面は、図1に示すように、例えばSiO₂などからなる保護膜（パッシベーション膜）35や図示しない樹脂封止体によって被覆されている。なお、保護膜35は、ソース電極34などが形成された後に形成されるため、例えば低温CVD法などの低温条件の絶縁膜形成法で形成されている。

【0033】特に、この実施の形態に係るパワーMOSFET20では、上記したように、本発明を適用してFLR25A, 25B, 25C同士の間のドリフト領域22の上面（一方の主面21A）に対向するように、第1絶縁膜26を介して環状の第1導電膜27A, 27B, 27C, 27Dが形成されている。図2に示すように、ボディ領域23の群の外側には、互いに離間して形成された矩形の環状をなすFLR25A, 25B, 25Cが同心状に3本形成されている。そして、シリコン基板21の一方の主面21Aには、最内側のFLR25Aとボディ領域23との間、最内側のFLR25Aと二番目のFLR25Bとの間、二番目のFLR25Bと最外側のFLR25Cとの間、及び最外側のFLR25CとEQR拡散領域30との間に、それぞれドリフト領域22が環状に露出している。この環状に露出したドリフト領域22の上面とFLR25A, 25B, 25Cの上面、更にはボディ領域23の外周側及びEQR拡散領域30の内周側は、第1絶縁膜26によって被覆されている。この第1絶縁膜26は、例えば周知の熱酸化によって形成されたシリコン酸化膜であり、可動イオンを完全に除去することは不可能な膜である。

【0034】この実施の形態においては、第1絶縁膜26の上に互いに離間して配置された4つの第1導電膜27A, 27B, 27C, 27Dが、ゲート電極32と同じ導電性材料、ドーパドポリシリコン、高融点金属、高

融点金属のシリサイド（WSi₂, TiSi₂, MoSi₂）等或いはポリサイドなどで形成されている。4つの第1導電膜27A, 27B, 27C, 27Dは、電気的にフローティング状態で使用すれば良い。4つの第1導電膜27A, 27B, 27C, 27Dを互いに電気的に接続しておけば、フローティング等電位電極として機能する。しかし、4つの第1導電膜27A, 27B, 27C, 27Dを互いに電気的に独立にして独立のフローティング電位を持ちうるように構成しても良い。EQR配線膜36もフローティング状態で動作可能のように構成しておけば良い。

【0035】又、回路構成が複雑になる欠点はあるが、独立した電源、或いは動作電源を抵抗分割した電源を用いて、4つの第1導電膜27A, 27B, 27C, 27Dに一定のバイアスを印加する構成でも良い。この一定のバイアスは、第1絶縁膜26中に負の可動イオンがあるか、正の可動イオンがあるか、ドリフト領域22がp型であるのかn型であるのかを考慮して、その極性を選定すれば良い。更に、第1導電膜27A, 27B, 27C, 27Dの内側から外側に向かい、順次増大若しくは減少するように、それぞれ異なるバイアスを印加する構成でも良い。EQR配線膜36に一定のバイアスを印加する構成も採用可能である。

【0036】最内側に配置された第1導電膜27Aは、ボディ領域23と最内側のFLR25Aとの間に露出した環状のドリフト領域22に、第1絶縁膜26を介して対向するように環状に形成された帯状の導電膜である。この第1導電膜27Aの内周側縁と外周側縁は、それぞれボディ領域23と最内側のFLR25Aに対向するまで延伸されている。

【0037】二番目に内側の第1導電膜27Bは、最内側のFLR25Aと二番目のFLR25Bとの間に露出した環状のドリフト領域22に、第1絶縁膜26を介して対向するように環状に形成された帯状の導電膜である。この第1導電膜27Bの内周側縁と外周側縁は、それぞれ最内側のFLR25Aと二番目のFLR25Bに対向するまで延伸されている。

【0038】三番目に内側の第1導電膜27Cは、二番目のFLR25Bと最外側のFLR25Cの間に露出した環状のドリフト領域22に、第1絶縁膜26を介して対向するように環状に形成された帯状の導電膜である。この第1導電膜27Cの内周側縁と外周側縁は、二番目のFLR25Bと最外側のFLR25Cに対向するまで延伸されている。

【0039】最外側の第1導電膜27Dは、最外側のFLR25CとEQR拡散領域30の間に露出した環状のドリフト領域22に、第1絶縁膜26を介して対向するように環状に形成された帯状の導電膜である。この第1導電膜27Dの内周側縁は、最外側のFLR25Cまで延伸されている。しかし、第1導電膜27Dの外周側縁

は、最外側のFLR25CとEQR拡散領域30の間に露出したドリフト領域22の略中央に対向する部分で終端しており、EQR拡散領域30に電気的に接続されたEQR配線膜からは離間されている。

【0040】これら第1導電膜27A、27B、27C、27Dは、図1に示すように、第2絶縁膜33によって被覆されている。この第2絶縁膜33は、第1絶縁膜26と同様に可動イオンを完全に除去することは不可能な膜である。更に、この第2絶縁膜33は、上記したソース電極34を被覆した保護膜35によって被覆されている。この保護膜35も、第1、第2絶縁膜26、33と同様に可動イオンを完全に除去することは不可能な膜である。

【0041】本発明の実施の形態に係るパワーMOSFET20では、ゲート電極32に正の電圧を印加せずに電力用半導体装置をOFFの状態として、ドレイン電極29とソース電極34との間にドレイン電極側の電位を高くする電圧（逆バイアス電圧）を印加すると、ボディ領域23とドリフト領域22との界面に形成されるpn接合が逆方向にバイアスされる。このpn接合からは、主として不純物密度の低いドリフト領域22側に空乏層が広がる。ここで、逆方向電圧を増加する、このpn接合から広がる空乏層が徐々に、シリコン基板21の素子形成領域の外側方向に向けて広がり、最内側のFLR25Aから最外側のFLR25Cに順次到達する。即ち、空乏層は隣り合うFLR25A、25B、25Cの間に形成されたドリフト領域22を埋めるように素子形成領域の外周側にまで広がる。これにより、ボディ領域23のコーナ部分（曲部分）の電界集中が緩和されて、ゲート・ドレイン間耐圧及びソース・ドレイン間耐圧の向上を図ることが出来る。このとき、FLR25A、25B、25Cを被覆する第1絶縁膜26や、第1絶縁膜26を被覆する第2絶縁膜33や、保護膜35や、更には保護膜35を被覆する図示しない樹脂封止体等の種々の絶縁膜に含まれている可動イオンの移動を、第1絶縁膜26の上に形成されている第1導電膜27A、27B、27C、27Dによって抑制することが出来る。即ち、可動イオンは、電力用半導体装置の動作に伴う電位分布や周囲温度の影響を受けて絶縁膜の中を移動するが、ドリフト領域22の上面に形成された第1導電膜27A、27B、27C、27Dが、所謂「等電位リング」として機能し、その移動がクランプされる。この結果、絶縁膜に含まれている可動イオンの空乏層に及ぼす影響を第1導電膜27A、27B、27C、27Dによって防止することが出来る。このため、複数のFLR25A、25B、25C間に形成されたドリフト領域22が、絶縁膜に含まれている可動イオンの移動の影響を受けてその表面のキャリア密度が変化することを防止出来る。

【0042】又、第1導電膜27A、27B、27C、27Dは、外部からイオンが浸入することを防止する作

用がある。この結果として、上述のpn接合から延びる空乏層の広がり可動イオンの移動の影響を受けずに一定となって、環境温度、動作温度（接合温度）、動作電圧等によりゲート・ドレイン間耐圧及びソース・ドレイン間耐圧に変動が生じるのを防止することが出来る。

【0043】（その他の実施の形態）以上、本発明の実施の形態について説明したが、上記の実施の形態の開示の一部をなす論述及び図面はこの発明を限定するものであると理解するべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0044】例えば、上記の実施の形態では電力用半導体装置として二重拡散型MOSFET（DMOS）を例示したが、UMOS、VMOS等のU溝、V溝内にゲート絶縁膜及びゲート電極を埋め込んだ構造でもかまわない。更に、ゲート絶縁膜をシリコン酸化膜（SiO₂）の代わりに、シリコン窒化膜（Si₃N₄）の単層膜やSiO₂とSi₃N₄の複合膜としたパワーIGFETでもかまわない。更に、これらのパワーMOSFET等のパワーIGFETの他に、IGBT、パワーMOSSIT、パワーJFET、パワーJSIT、パワーBJT、GTOサイリスタ、SIサイリスタ、エミッタ・スイッチド・サイリスタ（EST）、MOS制御サイリスタ（MCT）、ベース抵抗制御サイリスタ（BRT）等の種々の電力用半導体装置に適用することが可能である。

【0045】又、上記の実施の形態では、図2に示すように、ボディ領域23を3×3=9つに設定して説明したが、実施に当たっては、4×4=16、5×5=25、……10×10=100、……等のように、更に多数のボディ領域23を備える構成でも良い。また、4×8、10×30等の非等方的な配列でも良い。また、一番内側のFLR25Aに近い（隣接した）ボディ領域23の内部のソース領域24を省略しても良い。更に、ボディ領域23は、9つよりも少ない構成としても勿論良い。そして、このボディ領域23は、図1に示したような下面が略平坦な構造でなくとも良く、下面中央部分を選択的に深く形成した、所謂ディープベース構造にすることも出来る。なお、上記の実施の形態では、ボディ領域23の上面形状を正方形の島状に形成したが、長方形、六角形、八角形、円形の島状の他、ストライプ形状や格子形状としても良い。

【0046】更に、上記の実施の形態では、FLR25A、25B、25Cを等間隔で形成したが、勿論等間隔でなくとも良い。又、図1においては、最内側のFLR25Aとボディ領域23との間隔、最外側のFLR25CとEQR拡散領域30との間隔を、隣り合うFLR同士の間隔と等しく描いているが、素子形成領域の外側へ向けてこれら間隔を徐々に増大する構成など適宜設計変更が可能である。これらの間隔は、所望の耐圧やチップサイズ等の条件から任意に設定することが出来る。

【0047】又、上記の実施の形態では、シリコン基板を用いたが、シリコン以外の炭化珪素（SiC）等の他の半導体材料を用いることが可能である。又、第1半導体領域22に比較的高比抵抗のシリコン基板（母材）をそのまま用いたが、第6半導体領域28に低比抵抗のシリコン基板を用い、この上に比較的高比抵抗のエピタキシャル成長層を形成し、このエピタキシャル成長層を第1半導体領域22として用いても良い。

【００４８】このように、本発明はここでは記載していない様々な実施の形態を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【0049】

【発明の効果】以上の説明から明らかなように本発明によれば、絶縁膜中の可動イオンの移動が抑制され、可動イオンが空乏層の広がりに影響を与えることが防止され。

【0050】このため、本発明によれば、環境温度、動作温度、動作電圧等により耐圧が影響を受けず、経時変化も少なく、したがって信頼性の高い電力用半導体装置を提供することが出来る。

【図面の簡単な説明】

【図１】本発明の実施の形態に係る電力用半導体装置（パワーＭＯＳＦＥＴ）の断面図である。

【図２】本発明の実施の形態に係る電力用半導体装置（パワーＭＯＳＦＥＴ）におけるシリコン基板の一方の

主面の平面図（上面図）である。図2においては、パワーMOSFET20の絶縁膜やソース電極などの図示を省略し、その下層の半導体領域のパターンを主に示している。

05 【図3】本発明の実施の形態に係る電力用半導体装置
(パワーMOSFET)におけるシリコン基板の一方の
主面側の第2半導体領域全体を示す平面図である。

【図4】従来の電力用半導体装置の断面図である。

【符号の説明】

10 20 パワーMOSFET (電力用半導体装置)

2 1 シリコン基板（半導体基体）

22 第1半導体領域（ドリフト領域）

23 第2半導体領域（ボディ領域）

24 第3半導体領域（ソース領域）

15 25A, 25B, 25C FLR (第4半導体領域)

26 第1絶縁膜（フィールド絶縁膜）

27A, 27B, 27C, 27D 第1導電膜

28 第6半導体領域（ドレイン領域）

29 ドレイン電極

20 30 EQR拡散領域 (第5半導体領域)

3 1 ゲート絶縁膜

3.2 ゲート電極

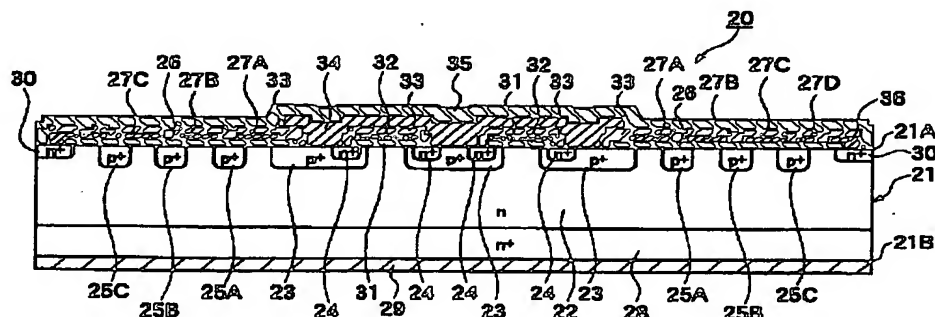
3.3 第2絶縁膜（層間絶縁膜）

34 ソース電極

25 35 保護膜 (パッシベーション膜)

36 EQR配線膜

【图 1】



20 : パワー-MOSFET(カラム4番6列)
21 : シリコンIC(カラム4番8列)
22 : IC1番6列
23 : IC2番6列
24 : IC3番6列
25A, 25B, 25C : FLR(カラム4番7列)
26 : IC1番6列
27A, 27B, 27C, 27D : IC1番6列

20: フレイン
30: EQRT (15年)
31: ゲート
32: ゲート
33: フレイン
34: ソース
35: フレイン
36: EQRT (15年)

